



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 101 45 745 A 1**

51 Int. Cl.⁷:
G 11 C 29/00
G 11 C 7/22
G 01 R 31/317

21 Aktenzeichen: 101 45 745.6
22 Anmeldetag: 17. 9. 2001
43 Offenlegungstag: 24. 4. 2003

DE 101 45 745 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
Epping, Hermann & Fischer GbR, 80339 München

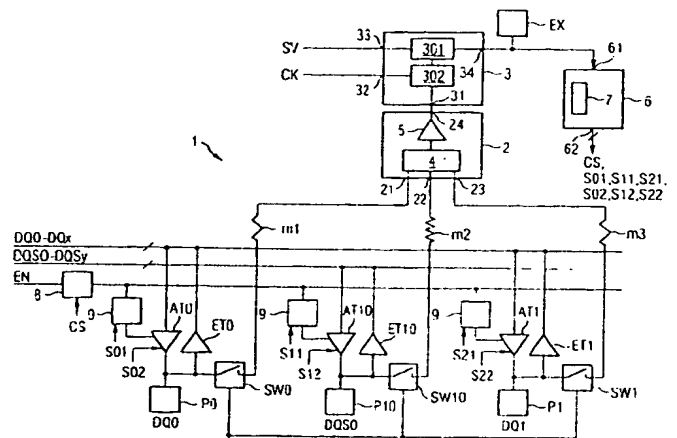
72 Erfinder:
Kiehl, Oliver, Dr., 80802 München, DE; Ruckerbauer,
Hermann, 94554 Moos, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Integrierte Schaltung und Verfahren zu ihrem Betrieb

57 Eine integrierte Schaltung mit Anschlußpads (P0, P10) zur Ausgabe von digitalen Signalen (DQ0, DQS0) und mit einem Anschluß für ein Zeitreferenzsignal (CK) weist eine Bewertungsschaltung (3) zur Messung und zur Bewertung einer Phasenverschiebung zwischen einem der Signale und dem Zeitreferenzsignal auf. Eine Empfängerschaltung (2) ist an einen jeweiligen Verbindungsknoten zwischen einem der Anschlußpads (P0, P10) und einem zugeordneten Ausgangstreiber (AT0) angeschlossen. Es sind Mittel m1, m2 zum Laufzeitabgleich von an der Empfängerschaltung anliegenden Signalen vorgesehen. Die Bewertungsschaltung (3) ist mit der Empfängerschaltung (2) verbunden und weist einen Ausgang (34) zur Ausgabe eines Meßergebnisses auf. Es wird jeweils die Phasenverschiebung der auszugebenden Signale (DQ0, DQS0) in Bezug zum Zeitreferenzsignal (CK) getrennt gemessen und bewertet. Mit der Erfindung kann ein Versatz der Schaltflanken der auszugebenden Signale (DQ0, DQS0) relativ genau bestimmt und korrigiert werden.



DE 101 45 745 A 1

[0001] Die vorliegende Erfindung betrifft eine integrierte Schaltung mit Anschlußpads zur Ausgabe von digitalen Signalen und ein Verfahren zu ihrem Betrieb.

[0002] Integrierte Schaltungen wie beispielsweise DRAM-Speicher in sogenannter Double-Data-Rate-Architektur (DDR SDRAM-Speicher) weisen vergleichsweise hohe Schalt- und Zugriffsgeschwindigkeiten auf. Derartige integrierte Speicher weisen im allgemeinen neben einem Taktsignal, das üblicherweise von extern zugeführt ist, ein Datenreferenzsignal ("Data-Strobe") auf, das beim Auslesen von Daten des integrierten Speichers an einem Anschlußpad anliegt. Dieses Data-Strobe-Signal wird während eines Lesezugriffs zusammen mit auszugebenden Datensignalen, die an jeweiligen weiteren Anschlußpads anliegen, vom integrierten Speicher nach extern übertragen und dient als Referenzsignal der auszulesenden Daten.

[0003] In einem Normalbetrieb des Speichers ist beispielsweise ein Controller an den Anschluß zur Ausgabe eines Datensignals und an den Anschluß zur Ausgabe des Datenreferenzsignals angeschlossen. Durch das Datenreferenzsignal wird dem Controller angezeigt, zu welchem Zeitpunkt auszulesende Daten an einem Datenanschluß anliegen. Es ist ein sogenannter Timing-Parameter spezifiziert, der die maximale zulässige zeitliche Abweichung zwischen dem vom Speicher generierten Datenreferenzsignal und den Ausgangsdaten darstellt.

[0004] Insbesondere dieser Timing-Parameter ist vor Auslieferung des Speichers an den Kunden möglichst genau und applikationsnah zu testen, um die Ausfallrate eines Speichers möglichst niedrig zu halten. Ein solcher Test wird im allgemeinen mittels eines externen Testsystems vorgenommen. In einem Testbetrieb werden die Schaltflanken eines Datensignals und des entsprechenden Datenreferenzsignals miteinander verglichen. Die erreichbare Genauigkeit wird dabei im allgemeinen begrenzt durch Toleranzen des verwendeten Testsystems und der gesamten Testanordnung. Dies kann zur Folge haben, daß eine erforderliche Produktspezifikation des getesteten integrierten Speichers gemäß dem Testergebnis nicht erfüllt ist, obwohl der Speicher im Prinzip funktionstauglich wäre.

[0005] Um die sich einstellende Testungenauigkeit zu kompensieren, werden integrierte Schaltungen beispielsweise mit großem Sicherheitsvorhalt zur Spezifikation getestet. Damit kann sichergestellt werden, daß jede integrierte Schaltung, die eine Testmessung bestanden hat, sicher die Spezifikation erfüllt, auch wenn das Testsystem ein Meßergebnis liefert, das am Rande seiner Genauigkeit liegt. Dies bedeutet aber nicht zwingend, daß eine integrierte Schaltung, die einen Testbetrieb nicht erfolgreich absolviert, die entsprechende Spezifikation nicht erfüllen würde. Die Folge davon ist, daß an sich funktionsfähige integrierte Schaltungen aufgrund des nicht bestandenen Testbetriebs aussortiert werden müssen.

[0006] Die Aufgabe der vorliegenden Erfindung ist es, eine integrierte Schaltung der eingangs genannten Art anzugeben, mit der ein zeitlicher Versatz von Schaltflanken mehrerer auszugehender Signale der integrierten Schaltung relativ genau bestimmt werden kann.

[0007] Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein Verfahren zum Betrieb einer derartigen Schaltung anzugeben.

[0008] Die Aufgabe betreffend die integrierte Schaltung wird gelöst durch eine integrierte Schaltung gemäß Patentanspruch 1. Die Aufgabe betreffend das Verfahren wird gelöst durch ein Verfahren gemäß Patentanspruch 10.

[0009] Die Erfindung ist prinzipiell für unterschiedliche

Schaltungen anwendbar. Gemäß der vorliegenden Erfindung wird ein Zeitreferenzsignal verwendet, das als zeitliche Referenz für die abzugleichenden digitalen Signale herangezogen wird. Die abzugleichenden Signale sind im Falle, daß die integrierte Schaltung eine Speicherschaltung vom Typ DDR SDRAM ist oder enthält, eines oder mehrere Datensignale und das beziehungsweise die entsprechenden Datenreferenzsignale. Entsprechend dient in diesem Fall das erste Anschlußpad zur Ausgabe eines Datensignals und das zweite Anschlußpad zur Ausgabe eines Datenreferenzsignals.

[0010] Eine Empfängerschaltung weist einen ersten Eingang auf, der an einem Verbindungsknoten zwischen dem ersten Anschlußpad und einem ersten Ausgangstreiber zum Treiben des ersten digitalen Signals angeschlossen ist, sowie einen zweiten Eingang, der an einem Verbindungsknoten zwischen dem zweiten Anschlußpad und einem zweiten Ausgangstreiber zum Treiben des zweiten digitalen Signals angeschlossen ist. Ein erster Eingang einer Bewertungsschaltung ist mit dem Ausgang der Empfängerschaltung verbunden, ein zweiter Eingang der Bewertungsschaltung mit dem Anschluß für das Zeitreferenzsignal. Ein Ausgang der Bewertungsschaltung dient zur Ausgabe eines Meßergebnisses. Die Bewertungsschaltung dient zur Messung und zur Bewertung von Phasenverschiebungen zwischen einem am Ausgang der Empfängerschaltung anliegenden Signal und dem Zeitreferenzsignal. Es sind außerdem Mittel zum Laufzeitabgleich von am ersten und zweiten Eingang der Empfängerschaltung anliegenden Signalen vorgesehen.

[0011] Die abzugleichenden Signale werden in einer Ausführungsform über laufzeitabgeglichene Leitungen, die beispielsweise meanderförmig ausgebildet sind, vom entsprechenden Anschlußpad zur Empfängerschaltung geführt. Diese in der Signallaufzeit angeglichenen Leitungen sind sehr exakt und unabhängig von Prozeßschwankungen herzustellen. Durch Vorsehen einer gemeinsamen Empfängerschaltung ist sichergestellt, daß für alle abzugleichenden Signale der Einfluß der Empfängerschaltung identisch ist. Da der Einfluß der Empfängerschaltung für das erste und zweite digitale Signal identisch ist, braucht er für die Messung des zeitlichen Versatzes zwischen den Signalen nicht weiter berücksichtigt zu werden.

[0012] In einer Ausführungsform der Erfindung sind der erste und zweite Eingang der Empfängerschaltung mit einer Multiplexerschaltung verbunden, durch die die Eingänge alternativ zueinander freigeschaltet werden. Durch den Abgriff der digitalen Signale zwischen Ausgangstreiber und Anschlußpad wird sichergestellt, daß die Signale in der Form getestet werden, in der sie beispielsweise an einem externen Controller anliegen. Als Bewertungsschaltung kann im Prinzip jede beliebige Schaltung verwendet werden, die zur Messung von Phasenverschiebungen anhand eines Zeitreferenzsignals geeignet ist.

[0013] Im Betrieb der integrierten Schaltung, beispielsweise im Testbetrieb eines enthaltenen integrierten Speichers, werden das erste Signal und das zweite Signal jeweils getrennt hinsichtlich ihrer steigenden und fallenden Schaltflanken gemessen und die jeweilige Phasenverschiebung der steigenden und fallenden Schaltflanke in Bezug zum Zeitreferenzsignal bewertet. Anschließend wird eine Einstellung des Schaltzeitpunktes für die steigende und/oder fallende Schaltflanke der Signale derart durchgeführt, daß die steigende und fallende Schaltflanke des jeweiligen Signals im wesentlichen keine Phasenverschiebungen aufweisen.

[0014] In einer Ausführungsform weist die integrierte Schaltung dazu eine programmierbare Steuerschaltung auf mit einem Ausgang zur Ausgabe eines Steuersignals zur Steuerung eines Schaltzeitpunktes des ersten und/oder zwei-

ten Signals. Die Steuerschaltung weist beispielsweise einen Steuereingang auf, der mit dem Ausgang zur Ausgabe des Meßergebnisses der Bewertungsschaltung verbunden ist. Damit ist es möglich, daß die integrierte Schaltung die entsprechenden Einstellungen selbsttätig vornimmt.

[0015] Die Einstellung des entsprechenden Signals erfolgt vorteilhaft durch Justierung einer einstellbaren Treiberstärke des jeweiligen Ausgangstreibers. Beispielsweise weisen die Ausgangstreiber mehrere Transistorfinger auf, die abhängig vom Steuersignal der Steuerschaltung einzeln zuschaltbar beziehungsweise abschaltbar sind.

[0016] Im weiteren Verlauf des Testbetriebs kann ein Vergleich des Schaltzeitpunktes der aufeinander abgeglichenen steigenden und fallenden Schaltflanken mit einem Zielwert erfolgen. Dieser Zielwert wird anhand der Spezifikation bestimmt und kann als sogenannte Pass-/Fail-Grenze verwendet werden. Anhand eines Vergleichs zwischen dem Meßergebnis und diesem Zielwert kann eine Pass-/Fail-Entscheidung getroffen werden, die über einen externen Anschluß nach außen gegeben werden kann.

[0017] Eine Angleichung des Schaltzeitpunktes der Schaltflanken an den Zielwert erfolgt beispielsweise durch eine Steuerung der Freigabe des jeweiligen Ausgangstreibers. Dazu sind die Ausgangstreiber in einer Ausführungsform mittels einer Verzögerungsschaltung hinsichtlich ihrer Aktivierungszeitpunkte steuerbar, wobei die Verzögerungsschaltung vorteilhaft durch die Steuerschaltung gesteuert wird.

[0018] Die Einstellung des Steuersignals der Steuerschaltung kann beispielsweise über Laser Fuses oder über eine chipinterne Programmierung von elektrischen Fuses erfolgen, die in der Steuerschaltung enthalten sind.

[0019] Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

[0020] Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsbeispiele der Erfindung darstellen, näher erläutert. Es zeigen:

[0021] Fig. 1 eine Ausführungsform einer integrierten Schaltung in Form eines integrierten Speichers mit Anschlußpads für Datensignale und Datenreferenzsignale,

[0022] Fig. 2 eine Ausführungsform einer erfindungsgemäßen integrierten Schaltung.

[0023] Fig. 1 zeigt eine Ausführungsform einer integrierten Schaltung in Form eines DDR DRAM-Speichers 1, der ein Speicherzellenfeld 10 mit Wortleitungen WL und Bitleitungen BL aufweist, in deren Kreuzungspunkten Speicherzellen MC angeordnet sind. Die Speicherzellen sind in üblicher DRAM-spezifischer Weise mit den Wortleitungen und Bitleitungen verschaltet. Der Speicher 1 weist Anschlußpads zur Ausgabe von digitalen Datensignalen DQ0 bis DQx auf sowie Anschlußpads zur Ausgabe von digitalen Datenreferenzsignalen DQS0 bis DQSy. Die Signale DQS0 bis DQSy werden auch als sogenannte Data-Strobe-Signale bezeichnet. Sie dienen als Referenzsignale, beispielsweise für einen angeschlossenen Controller, die insbesondere die Gültigkeit der auszugebenden Datensignale anzeigen. In einem Testbetrieb soll die zeitliche Abweichung zwischen den generierten Datensignalen DQ0 bis DQx und den jeweiligen Datenreferenzsignalen DQS0 bis DQSy bestimmt werden.

[0024] Fig. 2 zeigt ausschnittsweise eine Ausführungsform einer erfindungsgemäßen integrierten Schaltung, die beispielsweise in dem Speicher 1 gemäß Fig. 1 enthalten ist. Ein Anschlußpad P0 ist mit einem Ausgangstreiber AT0 verbunden und dient zur Ausgabe des Datensignals DQ0. Ein Anschlußpad P10 ist mit einem Ausgangstreiber AT10 verbunden und dient zur Ausgabe des Datenreferenzsignals DQS0. Analog zum Anschlußpad P0 ist das Anschlußpad P1 mit einem Ausgangstreiber AT1 verbunden und dient zur

Ausgabe eines weiteren Datensignals DQ1. Weitere Pads sind aus Übersichtlichkeitsgründen nicht dargestellt. Die Ausgangstreiber AT0 und AT1 sind jeweils mit einer der Datenleitungen eines internen Datenbusses für die Datensignale DQ0 bis DQx verbunden. Der Ausgangstreiber AT10 ist mit einer der internen Leitungen für die Datenreferenzsignale DQS0 bis DQSy verbunden. Die Anschlußpads P0, P1 und P10 werden auch zur Eingabe von entsprechenden Signalen verwendet, hier über die jeweiligen Eingangstreiber ET0, ET1 und ET10.

[0025] Eine Empfängerschaltung 2 weist mehrere Eingänge auf, wobei ein erster Eingang 21 an einem Verbindungsknoten zwischen dem Anschlußpad P0 und dem Ausgangstreiber AT0 über einen Schalter SW0 angeschlossen ist. Ein zweiter Eingang 22 ist an dem Verbindungsknoten zwischen dem Anschlußpad P10 und dem Ausgangstreiber AT10 über einen Schalter SW10 angeschlossen, ein dritter Eingang 23 ist an dem Verbindungsknoten zwischen dem Anschlußpad P1 und dem Ausgangstreiber AT1 über einen Schalter SW1 angeschlossen. Zum Laufzeitabgleich von an den Eingängen 21 bis 23 der Empfängerschaltung 2 anliegenden Signalen sind hier unterschiedlich ausgebildete meanderförmige Leitungen m1 bis m3 vorgesehen, die mit jeweils einem der Eingänge verbunden sind. Diese Leitungen m1 bis m3 sind sehr exakt und unabhängig von Prozeßschwankungen herzustellen. Es sind auch andere Mittel zum Laufzeitabgleich wie etwa Verzögerungsschaltungen verschiedener Art denkbar. Die Schalter SW0 bis SW10 können im Normalbetrieb offen sein, um die Last der Leitungen m1 bis m3 abzukoppeln.

[0026] Die Eingänge 21 bis 23 der Empfängerschaltung 2 sind weiterhin mit einer Multiplexerschaltung 4 verbunden, durch die die Eingänge alternativ zueinander freigeschaltet werden können. Ein Ausgang der Multiplexerschaltung 4 ist mit einem Receiver 5 verbunden. Ein Eingang 31 einer Bewertungsschaltung 3 ist mit dem Ausgang 24 der Empfängerschaltung 2 verbunden. Ein weiterer Eingang 32 der Bewertungsschaltung 3 ist mit einem Anschluß für ein Zeitreferenzsignal CK, beispielsweise in Form eines externen Taktsignals, verbunden. Die Eingänge 31 und 32 sind mit einer Vergleichsschaltung 302 verbunden, die zur Messung von Phasenverschiebungen zwischen einem am Eingang 31 anliegenden Signal und dem Zeitreferenzsignal CK dient. Die Schaltung 302 liefert einen Wert, der in einer weiteren Schaltung 301 gespeichert werden kann. In der Schaltung 301 wird dieser Wert außerdem mit einem Zielwert SV am Eingang 33 verglichen, und ein entsprechendes Meßergebnis wird am Ausgang 34 der Bewertungsschaltung 3 ausgegeben.

[0027] Eine Auswertung des Meßergebnisses kann auf verschiedene Weise erfolgen. Zum einen können Meßwerte über ein Anschlußpad EX nach außen gegeben werden, beispielsweise in Form eines Pass-/Fail-Ergebnisses. Danach kann entschieden werden, ob die getestete integrierte Schaltung verworfen wird oder weiterverwendet wird. In einem anderen Fall ist es möglich, über extern programmierbare Laser Fuses die notwendigen Anpassungen zu machen. In einer weiteren Ausführungsform ist, wie in Fig. 2 dargestellt, eine programmierbare Steuerschaltung 6 vorgesehen, die einen Steuereingang 61 aufweist, der mit dem Ausgang 34 der Bewertungsschaltung 3 zur Ausgabe des Meßergebnisses verbunden ist. Die Steuerschaltung 6 weist einen Ausgang 62 zur Ausgabe von Steuersignalen CS und S01 bis S22 auf, mit denen Schaltzeitpunkte von Schaltflanken von mehreren Signalen gesteuert werden können.

[0028] Die Ausgangstreiber AT0, AT1 und AT10 sind in ihren Treiberstärken einstellbar. Zur Einstellung dienen dabei die Steuersignale S02, S12 und S22, über die beispiels-

weise entsprechend zuschaltbare Transistorfinger des jeweiligen Ausgangstreibers zu- beziehungsweise abgeschaltet werden. Durch die Zuschaltung beziehungsweise Abschaltung von Transistorfingern ist die Treiberstärke des jeweiligen Ausgangstreibers justierbar.

[0029] Die Ausgangstreiber AT0, AT1 und AT10 werden weiterhin über ein Freigabesignal EN aktiviert. In dieser Ausführungsform der Erfindung sind Verzögerungsschaltungen 8 und 9 vorgesehen, über die die Aktivierung eines jeweiligen Ausgangstreibers verzögert werden kann. Über die Verzögerungsschaltung 8, gesteuert von dem Steuersignal CS der Steuerungsschaltung 6, können alle Ausgangstreiber AT0, AT1 und AT10 global verzögert werden. Über die Verzögerungsschaltungen 9, gesteuert von den Steuersignalen S01, S11 und S21 der Steuerungsschaltung 6, können die einzelnen Ausgangstreiber individuell in ihrer Aktivierung verzögert werden.

[0030] Im folgenden wird ein Testbetrieb des Speichers 1 gemäß Fig. 1 mittels der Schaltung gemäß Fig. 2 näher erläutert.

[0031] Der Chip wird zu Beginn des Tests in einen sogenannten Read-Modus geschaltet. Ein erstes Datensignal, beispielsweise DQ0, wird ausgelesen und gleichzeitig an den Eingang 21 der Empfängerschaltung 2 geschaltet. Das Datensignal DQ0 weist zunächst eine steigende Flanke auf, die mit dem Zeitreferenzsignal CK hinsichtlich Phasenverschiebung verglichen wird. Dieser Vergleich liefert ein Ergebnis, das in der Schaltung 301 gespeichert wird. Anschließend wird die beschriebene Messung für eine fallende Flanke des Datensignals DQ0 in analoger Weise durchgeführt. Auch dieses Ergebnis wird in der Schaltung 301 abgespeichert. Sind die Meßwerte für steigende und fallende Schaltflanken des Signals DQ0 zueinander verschoben, erfolgt anschließend eine Einstellung des Schaltzeitpunktes der steigenden und/oder fallenden Schaltflanke des Signals DQ0 derart, daß die steigende und fallende Schaltflanke des Signals im wesentlichen keine Phasenverschiebungen zueinander aufweisen. Eine Verschiebung kann man insbesondere durch unterschiedliches Zu- beziehungsweise Abschalten von n- und p-Kanal-Schalttransistoren in den variablen Ausgangstreibern AT0, AT1 und AT10 ausgleichen.

[0032] Anschließend erfolgt ein Vergleich des Schaltzeitpunktes der abgeglichenen steigenden und fallenden Schaltflanken mit einem Zielwert gemäß Spezifikation. Eine Angleichung des Schaltzeitpunktes der Schaltflanken an den Zielwert erfolgt durch eine Steuerung des Freigabezeitpunktes des jeweiligen Ausgangstreibers, entweder global über die Verzögerungsschaltung 8 oder individuell über die einzelnen Verzögerungsschaltungen 9.

[0033] Die beschriebenen Messungen werden nun nacheinander für alle zu testenden Signale durchgeführt. Beispielsweise wird als nächstes das Datenreferenzsignal DQS0 in analoger Weise zum Datensignal DQ0 bewertet und eingestellt. Damit läßt sich der Timing-Parameter, der die maximale zulässige zeitliche Abweichung zwischen einem Datenreferenzsignal (hier DQS0) und einem anliegenden Datensignal (hier DQ0) spezifiziert, vergleichsweise genau und applikationsnah testen und bei Bedarf korrigieren.

[0034] Die Messung kann vorteilhaft auch während eines Normalbetriebs des Speichers durchgeführt werden, wenn man dazu während des Lesezugriffs die Signale mit entsprechendem 0/1 oder 1/0 Übergang verwendet. Alternativ dazu könnte ein angeschlossener Controller während der Initialisierung des Chips, beispielsweise bei jedem sogenannten Booten, eine bestimmte Anzahl von Leseanforderungen an den Chip stellen, die der Chip für den Abgleich verwenden kann.

[0035] Da also zu Beginn oder in einem Normalbetrieb

der Schaltung mehrere Signale ausgelesen werden und deren Schaltflanken in Bezug zum Zeitreferenzsignal angeglichen werden können, ist es möglich, eine integrierte Schaltung, die während ihres Betriebs degradiert, entsprechend nachjustieren. Damit wird sichergestellt, daß die Spezifikation auch im längeren Betrieb der integrierten Schaltung erfüllt wird. Auf diese Weise lassen sich auch Temperaturschwankungen, die einen Signalversatz verursachen, in einem Normalbetrieb kompensieren.

[0036] Eine Korrekturinformation kann beispielsweise mittels elektrisch programmierbarer Fuses oder einer entsprechenden Transistorschaltung in der Steuerschaltung 6 gemäß Fig. 2 programmiert werden. Anschließend wird ein sofortiger neuer Test gestartet, um den Erfolg der Korrektur zu überprüfen. Wird als Zeitreferenzsignal ein externes Taktsignal verwendet, dessen Frequenz bestimmbar ist, läßt sich der Absolutwert einer Abweichung bestimmen. Da der zeitliche Versatz der hier auszugebenden Signale DQ0 bis DQx beziehungsweise DQS0 bis DQSy auch von der Lastbeschaltung der einzelnen Signale abhängt, kann mit der erfindungsgemäßen integrierten Schaltung auch der Einfluß der Systemumgebung ausgeglichen werden. Dies ist in einer Testumgebung mit einem externen Testgerät im allgemeinen nicht möglich.

Patentansprüche

1. Integrierte Schaltung

mit einem ersten Anschlußpad (P0), das mit einem ersten Ausgangstreiber (AT0) verbunden ist, zur Ausgabe eines ersten digitalen Signals (DQ0), mit einem zweiten Anschlußpad (P10), das mit einem zweiten Ausgangstreiber (AT10) verbunden ist, zur Ausgabe eines zweiten digitalen Signals (DQS0), mit einem Anschluß für ein Zeitreferenzsignal (CK), mit einer Empfängerschaltung (2) mit einem ersten Eingang (21), der an einem Verbindungsknoten zwischen dem ersten Anschlußpad (P0) und dem ersten Ausgangstreiber (AT0) angeschlossen ist, mit einem zweiten Eingang (22), der an einem Verbindungsknoten zwischen dem zweiten Anschlußpad (P10) und dem zweiten Ausgangstreiber (AT10) angeschlossen ist, und mit einem Ausgang (24), mit Mittel (m1, m2) zum Laufzeitabgleich von am ersten und zweiten Eingang der Empfängerschaltung anliegenden Signalen,

mit einer Bewertungsschaltung (3) zur Messung und zur Bewertung einer Phasenverschiebung zwischen einem anliegenden Signal und dem Zeitreferenzsignal mit einem ersten Eingang (31), der mit dem Ausgang (24) der Empfängerschaltung (2) verbunden ist, mit einem zweiten Eingang (32), der mit dem Anschluß für das Zeitreferenzsignal (CK) verbunden ist, und mit einem Ausgang (34) zur Ausgabe eines Meßergebnisses.

2. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß der erste und zweite Eingang (21, 22) der Empfängerschaltung mit einer Multiplexererschaltung (4) verbunden sind, durch die die Eingänge alternativ zueinander freigeschaltet werden.

3. Integrierte Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zum Laufzeitabgleich von am ersten und zweiten Eingang (21, 22) der Empfängerschaltung anliegenden Signalen mindestens eine meanderförmige Leitung (m1, m2) vorgesehen ist, die mit einem der Eingänge verbunden ist.

4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß eine programmierbare Steuerschaltung (6) vorgesehen ist mit einem Aus-

- gang zur Ausgabe eines Steuersignals (CS, S01-S22) zur Steuerung eines Schaltzeitpunktes des ersten und/oder zweiten Signals (DQ0, DQS0).
5. Integrierte Schaltung nach Anspruch 4, dadurch gekennzeichnet, daß die Steuerschaltung (6) einen Steuereingang (61) aufweist, der mit dem Ausgang (34) zur Ausgabe des Meßergebnisses der Bewertungsschaltung (3) verbunden ist.
6. Integrierte Schaltung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß wenigstens einer der Ausgangstreiber (AT0, AT10) in seiner Treiberstärke anhand des Steuersignals (S02, S12) der Steuerschaltung einstellbar ist.
7. Integrierte Schaltung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß wenigstens einer der Ausgangstreiber (AT0, AT10) mittels einer Verzögerungsschaltung (8, 9) hinsichtlich eines Aktivierungszeitpunktes steuerbar ist und der Ausgang zur Ausgabe des Steuersignals (CS, S01, S11) der Steuerschaltung mit der Verzögerungsschaltung verbunden ist.
8. Integrierte Schaltung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß die Steuerschaltung elektrisch programmierbare Fuses (7) oder Laser Fuses zur Einstellung des Steuersignals aufweist.
9. Integrierte Schaltung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die Schaltung als Speicherschaltung (10) ausgeführt ist oder eine Speicherschaltung (10) enthält und das erste Anschlußpad (P0) zur Ausgabe eines Datensignals (DQ0) und das zweite Anschlußpad (P10) zur Ausgabe eines Datenreferenzsignals (DQS0) vorgesehen ist.
10. Verfahren zum Betrieb einer integrierten Schaltung nach einem der vorhergehenden Ansprüche, bei dem das erste Signal (DQ0) und das zweite Signal (DQS0) beim Auslesen aus der Schaltung jeweils eine steigende und fallende Schaltflanke aufweisen, bei dem die Phasenverschiebung der steigenden und fallenden Schaltflanke in Bezug zum Zeitreferenzsignal (CK) jeweils getrennt gemessen und bewertet wird, bei dem anschließend eine Einstellung der steigenden und/oder fallenden Schaltflanke derart erfolgt, daß die steigende und fallende Schaltflanke des jeweiligen Signals im wesentlichen keine Phasenverschiebung zueinander aufweisen.
11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß die Einstellung durch Einstellung einer einstellbaren Treiberstärke des jeweiligen Ausgangstreibers (AT0, AT10) erfolgt.
12. Verfahren nach einem der Ansprüche 10 oder 11, dadurch gekennzeichnet, daß anschließend ein Vergleich eines Schaltzeitpunktes der Schaltflanken mit einem Zielwert (SV) erfolgt.
13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß eine Angleichung des Schaltzeitpunktes der Schaltflanken an den Zielwert (SV) durch eine Steuerung des Freigabezeitpunktes des jeweiligen Ausgangstreibers (AT0, AT10) erfolgt.
14. Verfahren nach einem der Ansprüche 10 bis 13, dadurch gekennzeichnet, daß zu Beginn oder in einem Normalbetrieb der Schaltung das erste und zweite Signal (DQ0, DQS0) ausgelesen werden und die Schaltzeitpunkte deren Schaltflanken aneinander angeglichen werden.

- Leerseite -

FIG 1

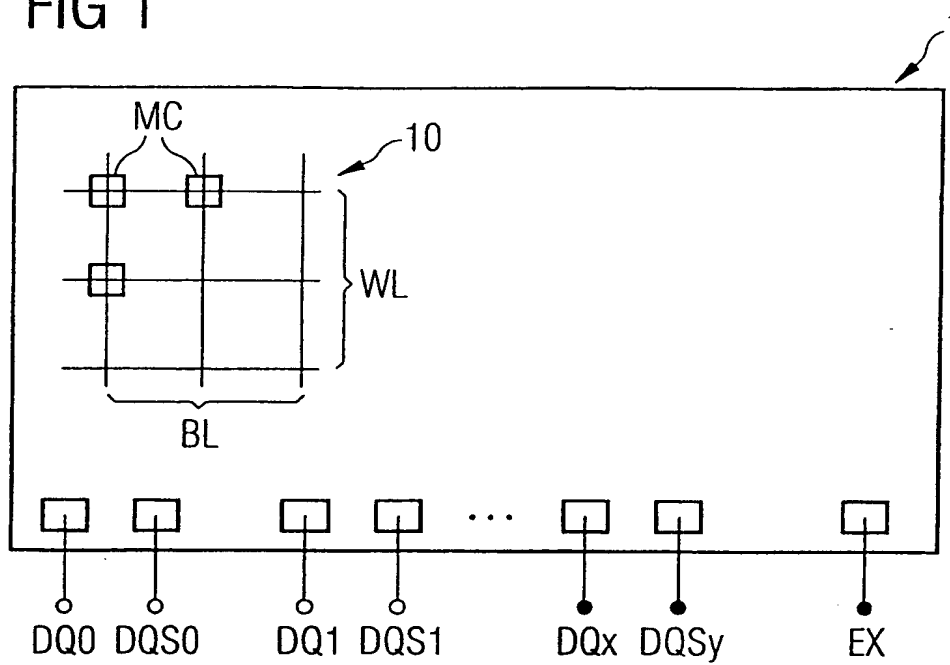


FIG 2

